

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-040694

(43)Date of publication of application : 19.02.1993

(51)Int.Cl.

G06F 12/08

G06F 12/08

(21)Application number : 03-193991

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 02.08.1991

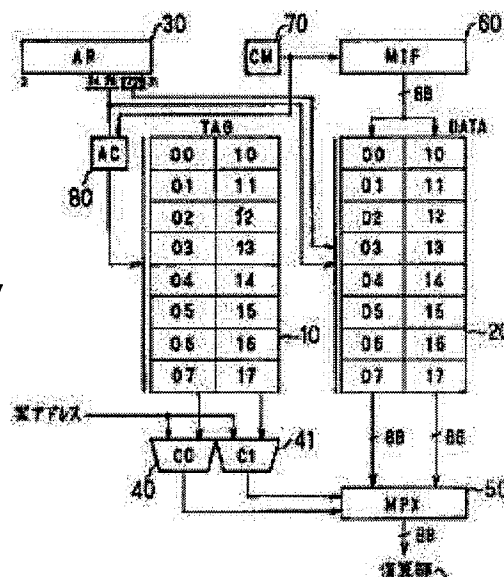
(72)Inventor : MURATA YUTAKA

(54) CACHE MEMORY DEVICE

(57)Abstract:

PURPOSE: To variably set block size by varying the size of a data block that is a unit to store data in cache memory by a mode switching means settable from the outside.

CONSTITUTION: When the value of a mode flag 70 which designates the kind of block size of the cache memory shows '0', no change operation by an address modifier 80 is performed on an inputted address i.e., the values of bits 24-26 of an address register 30. Meanwhile, when the value of the flag 70 shows '1', the address designation of tag memory is performed by the address modifier 80 by resetting the least significant bit of the inputted address i.e., the bit 26 of the address register 30 at '0' compulsorily. Thereby, the even-numbered set of tag memory is always designated when the value of the flag 70 shows '1'. When access to the cache memory is performed, the even-numbered set of tag memory is compared 40, 41 with a real address, and data of way in which coincidence can be obtained is selected and is sent to an arithmetic part.



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A cache memory device characterized by changing size of a data block which is a unit which stores data in cache memory by designated mode by a mode switching means which can be set up from the data processing device exterior in a data processing device which has cache memory.

[Claim 2]A cache memory device which is characterized by having a mode switching means which can be set up by the program which a data processing device executes and which was indicated to Claim 1.

[Translation done.]

*** NOTICES ***

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to the cache memory device used for the high speed processing of a computer.

[0002]

[Description of the Prior Art]The tag memory which drawing 5 is a figure explaining the conventional cache memory, and holds the real address information of the data in which 10 is stored in the block of cache memory in a figure, The data memory which consists of a block with which 20 stores a main memory copy of data, The address register holding the address generated in order that 30 might access data, 40, the comparator with which 41 compares the address information read from the tag memory 10, and the real address information of the data to access, respectively, The multiplexer which chooses the data in which 50 was read from the data memory 20 based on the comparison result of the comparator 40, When 60 newly registers a data block to the data memory 20 (writing), it is a memory interface which controls the data transfer from main memory (not shown) to the data memory 20. Drawing 2 shows the internal structure of each entry of the tag memory 10 and the data memory 20. 100 shows a tag memory entry and 200 shows a data memory entry. A tag memory entry consists of address information of the data stored in the entry to which data memory corresponds, and effective bits of an entry. When data effective in the entry of data memory is stored, effective bits express an effective state. A data memory entry consists of four 8 byte data, and has 32-byte composition. To four 8 byte data, the address within a block of 00-11 is attached, respectively.

[0003]Next, operation is explained. When a data processing device accesses the data on a memory, the address (it is a virtual address in the case of a virtual storage system) is set in the address register 30, and the tag memory 10 and the data memory 20 are accessed. Since the tag memory and the number of entries of the lengthwise direction of data memory (it is called the number of sets) have adopted the composition of 8 in this example, set specification is performed by the triplet of the bits 24-26 among 32 bit addresses set as the address register 30. In data memory, in order to specify the address within a block further, the bits 27-28 of an address are used. The information for two ways is read from the set addressed since the tag memory and the number of entries of the transverse direction of data memory (it is called the number of ways) had become the composition of 2. Among these, the comparators 40 and 41 compare the address information for two ways read from the tag memory 10, and the real address of the data changed into the real address from the virtual address by the address conversion section which is not illustrated, and a comparison result is sent to the multiplexer 50. The data of a direction corresponding to the way (it is called a cache hit) where coincidence was detected among the comparators 40 and 41 is chosen by the multiplexer 50, and two 8 byte data read from two ways of the data memory 20 are sent out as 8 byte data to the operation part which is not illustrated. On the other hand, when coincidence is not detected in any

of the comparators 40 and 41 (it is called a cache miss), It is shown that the data which should access into cash is not registered, data is read from the main memory which is not illustrated, and data is registered into one specified way of the sets. From the main point of this invention, since the specification method of the way which should be registered shifts, it omits explanation. The data to register is 32 bytes of continuous data area on the main memory containing the data to access. In order to assume that it is 8 bytes of data transfer between main memory and the memory interface 60 and to register these 32 byte areas to the entry of data memory, The memory interface 60 incorporates 32 bytes of data which continues from main memory by four 8 byte-data transmission, and registers it to the entry of data memory one by one.

[0004]

[Problem(s) to be Solved by the Invention]Many and unspecified application programs are executed in a data processing device. Since an application program differs in the character of processing, respectively, it differs also in the character of memory access, respectively. Since the character of memory access differs, it is known that the relation between the block size of the data memory of cash and the hit ratio of cash changes with programs. Since it was constituted as mentioned above and it was decided that the block size of data memory will be a meaning, the conventional cache memory device became unsuitable block size depending on the program to execute, and had the problem that the performance of cache memory will fall.

[0005]This invention was made in order to cancel the above problems, an object of an invention is to obtain the cache memory which can be set as variable for the block size of data memory, and it aims further to let a control program provide a means by which block size can be set up dynamically.

[0006]

[Means for Solving the Problem]A cache memory device concerning this invention forms a flag which specifies a kind of block size, and enables change of structure of cash by specification of this flag. More invention enables change of setting out of this flag by a program.

[0007]

[Function]By specification of a flag that the kind of block size is specified, since the cache memory device by this invention can change block size, it changes block size according to the program executed with a data processing device. In more invention, when a control program judges the character of an application program, the optimal block size is dynamically changed for every application program to execute.

[0008]

[Example]Hereafter, one working example of this invention is described about a figure. In drawing 1, when the mode flag with which 70 specifies the kind of block size of cache memory, and 80 address the tag memory 10, they are address modification machines which embellish an address according to specification of the flag 70. What 100 extracted one entry in the tag memory 10 in drawing 2, and showed the contents, and 200 extract one entry in the data memory 20, and show the contents. Drawing 3 shows correspondence with specification of the flag 70, and cache memory and the data in main memory. The tag entry which adjoins the tag entry 100 101, the data entry by which 201 adjoins the data entry 200, and 901, 902, 903 and 904 are the data blocks in main memory.

[0009]Next, operation is explained. When the value of the flag 70 is "0" in drawing 1, the address modification machine 80 does not perform change operating to the value of the bits 24-26 of the inputted address 30, i.e., an address register. Therefore, the reference to a tag memory and data memory is completely the same as that of a conventional example. The registration method of the block data at the time of making a cache miss is also completely the same as that of a conventional example. The relation of the data of the tag memory in this case, data memory, and main memory is shown in (1) of drawing 3. The independent blocks 901 and 902 on main memory are registered into the entry which a tag memory and data memory adjoin, respectively. Conversely, if it says, it is shown that the block of main memory can be registered independently of the entry of a tag memory

and data memory.

[0010]On the other hand, when the value of a flag is "1", the address modification machine 80 resets compulsorily the least significant bit 26 of the inputted address, i.e., the bit of the address register 30, to "0", and addresses a tag memory. When the value of the flag 70 is "1" by this, as for a tag memory, the set of No. even is always specified, and the set of No. odd is made not to be used. Addressing of the data memory 20 is made to be the same as that of a conventional example. That is, as for data memory, the set of No. even or No. odd is specified with the value of the bit 26 of the address register 30. The entry of No. even and No. odd which adjoins by this becomes a pair, and will constitute one block with twice as many capacity as this. The relation of the data of the tag memory in this case, data memory, and main memory is shown in (2) of drawing 3. The adjoining blocks 903 and 904 on main memory are registered into the entries 200 and 201 which data memory adjoins. On the other hand, the entry 101 which the address of a block is registered into the entry 100 of No. even, and a tag memory adjoins does not use it. When accessing cash in drawing 1, the set of No. even of a tag memory is read, and comparison with a real address is performed by the comparators 40 and 41. If coincidence is detected by either (cache hit), a comparison result will be sent to the multiplexer 50, the data of the ways congruous among the data read from data memory is chosen, and it sends out to operation part. At this time, since a set is specified in the bits 24-26 of the address register 30, as for data memory, the data of either No. even or No. odd is read.

[0011]When newly registering the block of main memory into data memory by a cache miss, the memory interface 60 performs twice four 8 byte-data transmission (burst transmission) described by explanation of the conventional example continuously by specification of the flag 70. In this case, two burst transmission is performed to the pair of No. even and a block of No. odd. If the data of a block of the transmitted main memory is block data of No. even one by one, if it is block data of No. odd, it is registered to the No. even entry of the data memory 20 to the No. odd entry of data memory.

[0012]Drawing 4 is a figure explaining the setting method of the flag 70. In the figure, 910 expresses high potential (or logical-value "1"), and 911 expresses low voltage (or logical-value "0"). A system controller with which 912 controls a switch and 920 controls a data processing device, A central processing unit (CPU) with which 921 performs a control bus, 922 performs interface circuitry with a control bus, and 930 performs program execution in a data processing device, The address decoder which 931 supervises a memory bus, and 932 supervises the memory bus 931, and performs setting-out control of the flag 70, and 933 are signal wires. In a figure, (1) is a method which sets up the flag 70 from the exterior to a data processing device. (a) shows the method with which (b) sets up the method set up with an Out switch from a system controller. In (b), the system controller 920 sends out the command for flag 70 setting out via the control bus 921. Since the realization method of a command is not directly related to this invention, limitation in particular is not carried out. The bus interface circuit 922 interprets this as a command being sent out, and if it is a command for flag 70 setting out, according to the specification, a value will be set as the flag 70. In the method of (1), the mode of the cache memory specified with the flag 70 is fixed regardless of the program execution in a data processing device.

[0013]In a figure, (2) shows the method which performs mode setting of cache memory by the program executed with a data processing device. The command which operates the flag 70 beforehand is defined (it assumes this example defining the flag 70 as memory mapped I/O, and operating the flag 70 by input/output instruction), and the flag 70 is set up when a central processing unit executes that command. If the command of the central processing unit 930 is executed, the address decoder 932 which is supervising the memory bus 931 will incorporate and interpret directions of the command, and will set the flag 70 based on the specification. The set-up flag 70 is sent to the central processing unit 930 via the signal wire 933, and performs mode specification of cache memory. If this method is used, when the control program of a data processing device will, for example, make execution of a user program or an application program

start, analyze the character of those processings beforehand, the block configuration of cash is made to change based on that result, and it becomes possible to have optimal composition. As an example of the program from which the character of processing differs, Online Transaction Processing, large-scale scientific and engineering calculations, etc. are raised.

[0014]Although this example explained the cache memory of eight set x2 way and 32 bite block composition, it may be the cache memory of other composition. When the flag 70 was set up by the program of a data processing device, the flag 70 was treated as memory mapped I/O, but it may not limit to this but other realization methods may be used. Although the example which can choose two kinds of block sizes by specification of the flag 70 was shown, it may enable it to specify the block size of various sorts more.

[0015]

[Effect of the Invention]As mentioned above, since the mode flag of cache memory is formed and it enabled it to set block size as variable according to this invention, Since the block size of cache memory can be changed according to the character of the program which a data processing device executes, the utilization efficiency of cache memory can be raised.

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-40694

(43)公開日 平成5年(1993)2月19日

(51)Int.Cl.⁵

G 0 6 F 12/08

識別記号

3 1 0 Z

庁内整理番号

7232-5B

B 7232-5B

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号

特願平3-193991

(22)出願日

平成3年(1991)8月2日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 村田 裕

鎌倉市大船五丁目1番1号 三菱電機株式

会社情報電子研究所内

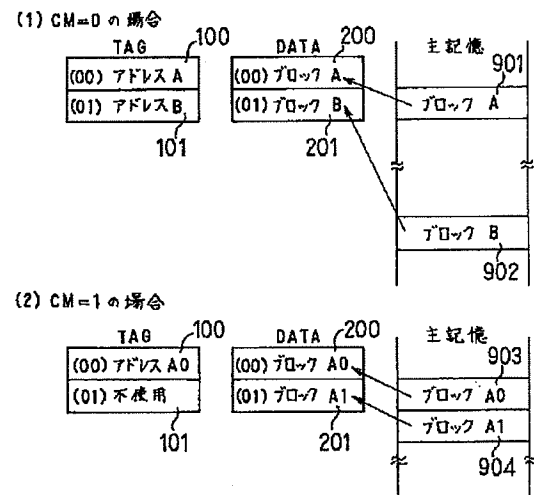
(74)代理人 弁理士 高田 守 (外1名)

(54)【発明の名称】 キャッシュメモリ装置

(57)【要約】

【目的】 キャッシュメモリのヒット率はプログラムのメモリ参照の性質やキャッシュメモリの構造により変化する。種々のプログラムに対してキャッシュメモリのヒット率をより向上させるために、キャッシュメモリの構造を可変にすることによって実行するプログラムに対応して構造を選択できることを目的とする。

【構成】 キャッシュメモリの構造を指定するモードプラグを設け、その指定によりブロックサイズを複数の種類に設定できるようにした。大きなブロックサイズを実現するために、最小単位のブロックを組み合わせることで新たに1つのブロックを構成している。



【特許請求の範囲】

【請求項1】 キャッシュメモリを有するデータ処理装置において、データ処理装置外部より設定可能なモード切り替え手段により、キャッシュメモリ内にデータを格納する単位であるデータブロックのサイズを指定モードによって変更することを特徴とするキャッシュメモリ装置。

【請求項2】 データ処理装置が実行するプログラムにより、設定可能なモード切り替え手段を備えたことを特徴とする、請求項1に記載したキャッシュメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は計算機の高速処理に用いられるキャッシュメモリ装置に関するものである。

【0002】

【従来の技術】 図5は従来のキャッシュメモリを説明する図であり、図において、10はキャッシュメモリのブロックに格納されているデータの実アドレス情報を保持するタグメモリ、20は主記憶データのコピーを格納するブロックからなるデータメモリ、30はデータをアクセスするために生成されたアドレスを保持するアドレスレジスタ、40、41はそれぞれタグメモリ10から読み出されたアドレス情報とアクセスするデータの実アドレス情報を比較する比較器、50はデータメモリ20から読み出されたデータを比較器40の比較結果に基づいて選択するマルチプレクサ、60はデータメモリ20へ新たにデータブロックを登録（書き込み）する際に主記憶（図示せず）からデータメモリ20へのデータ転送を制御するメモリインタフェースである。また、図2はタグメモリ10、およびデータメモリ20の各エントリの内部構造を示している。100はタグメモリエントリ、200はデータメモリエントリを示す。タグメモリエントリはデータメモリの対応するエントリに格納されているデータのアドレス情報と、エントリの有効ビットからなる。データメモリのエントリに有効なデータが格納されている場合に有効ビットにより有効状態を表す。データメモリエントリは4つの8バイトデータからなり、32バイト構成となっている。4つの8バイトデータに対してはそれぞれ00～11のブロック内アドレスがつけられている。

【0003】 次に動作について説明する。データ処理装置がメモリ上のデータをアクセスするとき、そのアドレス（仮想記憶方式の場合は仮想アドレス）をアドレスレジスタ30にセットしてタグメモリ10およびデータメモリ20をアクセスする。本例の場合、タグメモリおよびデータメモリの縦方向のエントリ数（セット数という）は8の構成を採用しているため、セット指定はアドレスレジスタ30に設定された32ビットアドレスのうちビット24～26の3ビットで行われる。データメモリではさらにブロック内アドレスを指定するためにアド

レスのビット27～28を使用する。また、タグメモリおよびデータメモリの横方向のエントリ数（ウェイ数という）は2の構成となっているのでアドレス指定されたセットからは2ウェイ分の情報が読み出される。このうちタグメモリ10から読み出された2ウェイ分のアドレス情報と、図示しないアドレス変換部で仮想アドレスから実アドレスに変換されたデータの実アドレスを比較器40、41で比較し、比較結果をマルチプレクサ50へ送る。データメモリ20の2ウェイから読み出された2つの8バイトデータは比較器40、41のうち一致が検出された（キャッシュヒットという）ウェイに対応する方のデータがマルチプレクサ50で選択され、図示しない演算部へ8バイトデータとして送出される。一方、比較器40、41のいずれにおいても一致が検出されなかった場合（キャッシュミスという）は、キャッシュ内にアクセスすべきデータが登録されていないことを示し、図示しない主記憶からデータを読みだして、指定されたセットのいずれか一方のウェイにデータを登録する。登録すべきウェイの指定方法は本発明の主旨からはずれるので説明を省略する。登録するデータはアクセスするデータを含む主記憶上の連続する32バイトのデータ領域である。主記憶とメモリインタフェース60との間は8バイトのデータ転送であると仮定し、この32バイト領域をデータメモリのエントリへ登録するために、メモリインタフェース60は主記憶から連続する32バイトのデータを4回の8バイトデータ転送で取り込み、順次データメモリのエントリへ登録する。

【0004】

【発明が解決しようとする課題】 データ処理装置では不特定多数の応用プログラムが実行される。応用プログラムはそれぞれ処理の性質が異なるためメモリアクセスの性格もそれぞれ異なる。メモリアクセスの性格が異なるため、キャッシュのデータメモリのブロックサイズとキャッシュのヒット率との関係がプログラムによって異なることが知られている。従来のキャッシュメモリ装置は以上のように構成されデータメモリのブロックサイズが一意に決まっているため、実行するプログラムによっては不適切なブロックサイズとなり、キャッシュメモリの性能が低下してしまうという問題点があった。

【0005】 この発明は上記のような問題点を解消するためになされたもので、データメモリのブロックサイズを可変に設定可能なキャッシュメモリを得ることを目的としており、さらに、制御プログラムが動的にブロックサイズを設定できる手段を提供することを目的とする。

【0006】

【課題を解決するための手段】 この発明にかかるキャッシュメモリ装置は、ブロックサイズの種類を指定するフラグを設け、このフラグの指定によりキャッシュの構造の変更を可能としたものである。さらに、今一つの発明は、このフラグの設定をプログラムにより変更可能とし

たものである。

【0007】

【作用】この発明によるキャッシュメモリ装置は、ブロックサイズの種類を指定するフラグの指定により、ブロックサイズを変更できるためデータ処理装置で実行するプログラムに応じてブロックサイズを変更する。また、今一つの発明では、制御プログラムが応用プログラムの性質を判定することにより、実行する応用プログラムごとに最適なブロックサイズを動的に変更する。

【0008】

【実施例】以下、この発明の一実施例を図について説明する。図1において、70はキャッシュメモリのブロックサイズの種類を指定するモードフラグ、80はタグメモリ10をアドレス指定する際にフラグ70の指定に応じてアドレスを修飾するアドレス修飾器である。図2において100はタグメモリ10の中の1エントリを抜き出してその内容を示したものの、200はデータメモリ20の中の1エントリを抜き出してその内容を示したものである。図3はフラグ70の指定と、キャッシュメモリと主記憶内データとの対応を示したものである。101はタグエントリ100に隣接するタグエントリ、201はデータエントリ200に隣接するデータエントリ、901、902、903、904は主記憶内のデータブロックである。

【0009】次に、動作について説明する。図1においてフラグ70の値が"0"のときはアドレス修飾器80は入力したアドレス、すなわちアドレスレジスタ30のビット24～26の値に対して変更操作を行わない。したがって、タグメモリ、データメモリへの参照は従来例とまったく同一である。さらに、キャッシュミスした場合のブロックデータの登録方法も従来例とまったく同一である。図3の(1)にこの場合のタグメモリ、データメモリ、主記憶のデータの関係が示されている。主記憶上の独立なブロック901および902がタグメモリ、データメモリのそれぞれ隣接するエントリに登録されている。逆にいえば、タグメモリ、データメモリのエントリには独立に主記憶のブロックを登録することができることを示している。

【0010】一方、フラグの値が"1"のときはアドレス修飾器80は入力したアドレスの最下位ビット、すなわちアドレスレジスタ30のビット26を強制的に"0"にリセットしてタグメモリをアドレス指定する。これによりフラグ70の値が"1"のときはタグメモリは常に偶数番のセットが指定され、奇数番のセットは使用されないようにする。データメモリ20のアドレス指定は従来例と同様にする。すなわちアドレスレジスタ30のビット26の値によりデータメモリは偶数番あるいは奇数番のセットが指定される。これにより隣接する偶数番と奇数番のエントリがペアになって2倍の容量を持つ1つのブロックを構成することになる。図3の(2)に

この場合のタグメモリ、データメモリ、主記憶のデータの関係が示されている。主記憶上の隣接するブロック903および904がデータメモリの隣接するエントリ200および201に登録される。これに対し、タグメモリは偶数番のエントリ100にブロックのアドレスが登録され、隣接するエントリ101は使用しない。図1においてキャッシュをアクセスする場合はタグメモリの偶数番のセットが読み出され比較器40、41で実アドレスとの比較を行う。いずれか一方で一致が検出されたら(キャッシュヒット)比較結果をマルチプレクサ50に送り、データメモリから読み出されたデータのうち一致したウェイのデータを選択して演算部へ送出する。このときデータメモリはアドレスレジスタ30のビット24～26でセットが指定されるため偶数番または奇数番のいずれかのデータが読み出されている。

【0011】キャッシュミスで新たに主記憶のブロックをデータメモリに登録する場合はフラグ70の指定によりメモリインタフェース60は従来例の説明で述べた4回の8バイトデータ転送(バースト転送)を2回連続して実行する。この場合、2回のバースト転送は偶数番および奇数番のブロックのペアに対して行われる。転送された主記憶のブロックのデータは順次偶数番のブロックデータであればデータメモリ20の偶数番エントリへ、奇数番のブロックデータであればデータメモリの奇数番エントリへ登録していく。

【0012】図4はフラグ70の設定方法について説明する図である。図において910は高電位(または論理値"1")、911は低電位(または論理値"0")を表している。912はスイッチ、920はデータ処理装置を制御するシステム制御装置、921は制御バス、922は制御バスとのインタフェース回路、930はデータ処理装置の中でプログラム実行を行う中央処理装置(CPU)、931はメモリバス、932はメモリバス931を監視してフラグ70の設定制御を行うアドレスデコーダ、933は信号線である。図において(1)はデータ処理装置に対して外部からフラグ70を設定する方式である。(a)は外部スイッチにより設定する方式を、(b)はシステム制御装置から設定する方式を示している。(b)ではシステム制御装置920は制御バス921を介してフラグ70設定用のコマンドを送出する。コマンドの実現方式は本発明とは直接関係しないので特に限定はしない。コマンドが送出されるとバスインタフェース回路922はこれを解釈してフラグ70設定用のコマンドであればその指定に従ってフラグ70に値を設定する。(1)の方式では、フラグ70で指定されるキャッシュメモリのモードはデータ処理装置でのプログラム実行に関係なく固定される。

【0013】図において(2)はデータ処理装置で実行するプログラムによりキャッシュメモリのモード設定を行う方式を示したものである。あらかじめフラグ70を

操作する命令を定義しておき（この例ではフラグ70をメモリマップドI/Oとして定義し、入出力命令でフラグ70を操作することを想定している）、中央処理装置がその命令を実行することによりフラグ70の設定を行う。中央処理装置930の命令を実行するとメモリバス931を監視しているアドレスデコーダ932がその命令の指示を取り込んで解釈し、その指定に基づいてフラグ70のセットを行う。設定されたフラグ70は信号線933を介して中央処理装置930に送られ、キャッシュメモリのモード指定を行う。この方式を用いれば、たとえばデータ処理装置の制御プログラムがユーザプログラムあるいは応用プログラムの実行を開始させる際に、それらの処理の性質をあらかじめ解析し、その結果に基づいてキャッシュのブロック構成を変更させ、最適な構成とすることが可能となる。処理の性質の異なるプログラムの例としては、オンライントランザクション処理や大規模科学技術計算などがあげられる。

【0014】なお、本実施例では8セット×2ウェイト、32バイトブロック構成のキャッシュメモリについて説明を行ったが、他の構成のキャッシュメモリであっても良い。また、フラグ70をデータ処理装置のプログラムで設定する場合フラグ70をメモリマップドI/Oとして扱ったが、これに限定せず他の実現方法を用いても良い。さらに、フラグ70の指定により2種類のブロックサイズを選択できる例を示したが、より多種類のブロックサイズを指定できるようにしても良い。

*

*【0015】

【発明の効果】以上のように、この発明によればキャッシュメモリのモードフラグを設けてブロックサイズを可変に設定できるようにしたので、データ処理装置が実行するプログラムの性質に合わせてキャッシュメモリのブロックサイズを変更できるためキャッシュメモリの利用効率を向上させることができる。

【図面の簡単な説明】

【図1】この発明の一実施例によるキャッシュメモリ装置を示すブロック図である。

【図2】この発明の一実施例によるキャッシュメモリ装置のタグメモリ内エントリの内容およびデータメモリ内エントリの内容を示す図である。

【図3】この発明の一実施例によるキャッシュメモリ装置において、タグメモリ、データメモリおよび主記憶内データの関連を示す図である。

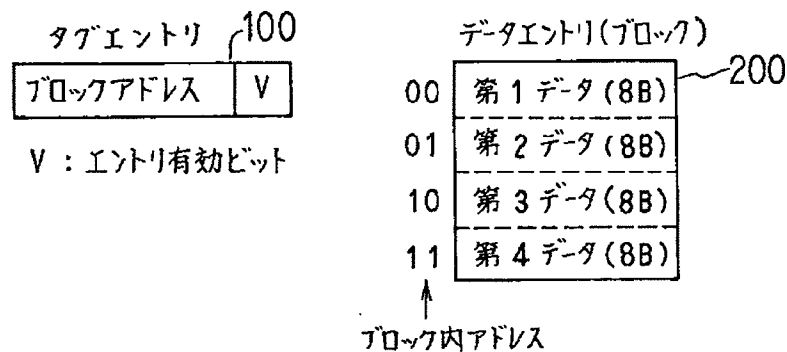
【図4】この発明の一実施例によるキャッシュメモリ装置において、発明の特徴となるキャッシュメモリのモードフラグ設定方式を説明した図である。

【図5】従来例によるキャッシュメモリ装置を示すブロック図である。

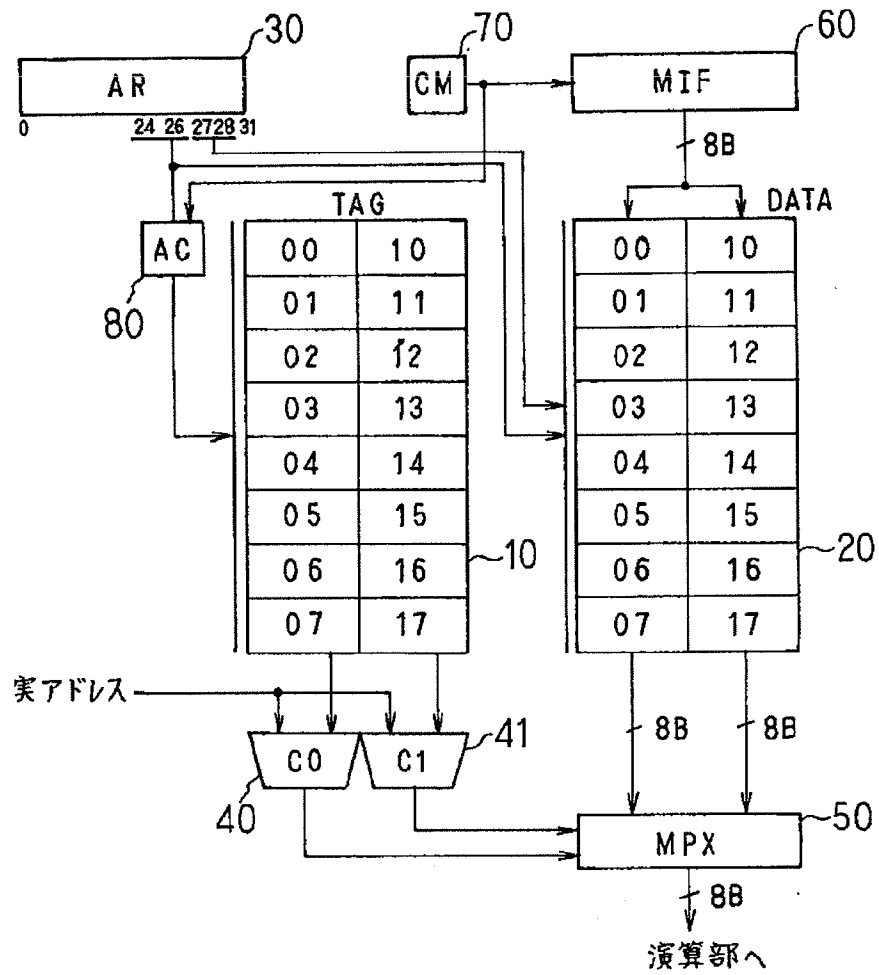
【符号の説明】

- 60 メモリインタフェース回路
- 70 キャッシュメモリのモードフラグ
- 80 アドレス修飾器

【図2】

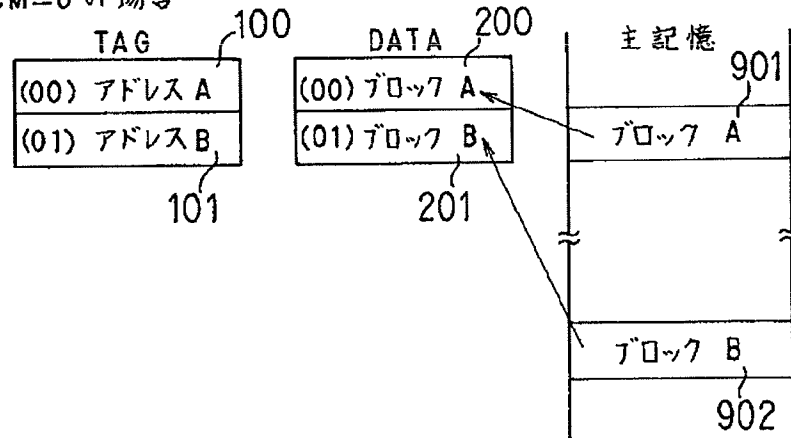


【図1】

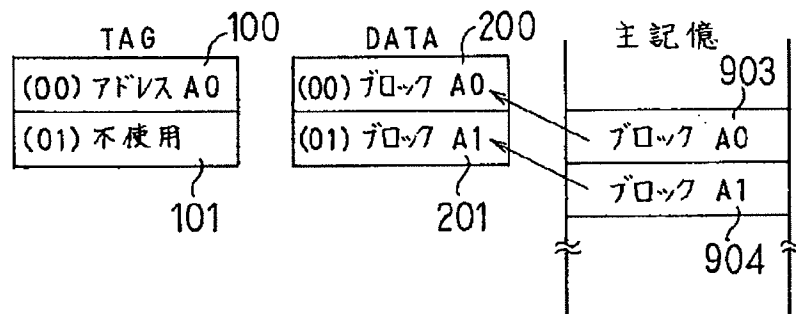


【図3】

(1) CM=0 の場合

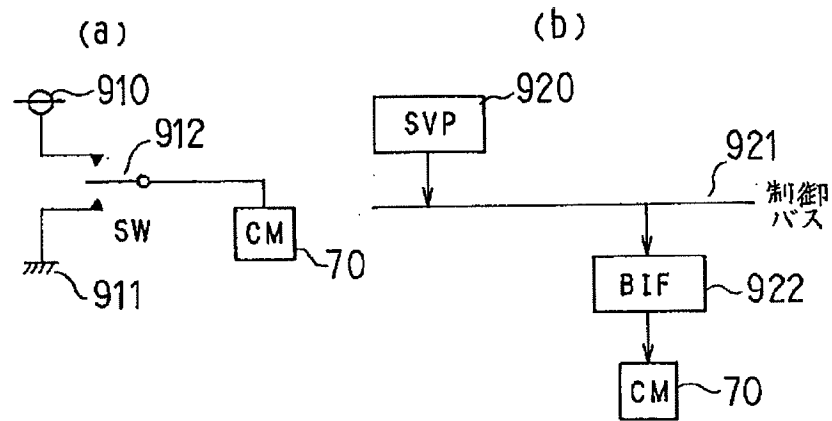


(2) CM=1 の場合

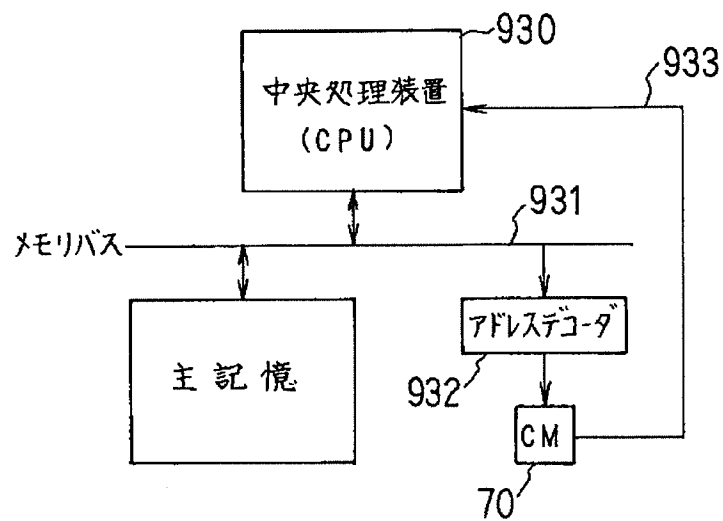


【図4】

(1) データ処理装置外部よりモード設定する場合



(2) プログラムによりモード設定する場合



【図5】

